2.7V～5.5V　並列入力
デュアル電圧出力8ビットDAC

AD7302

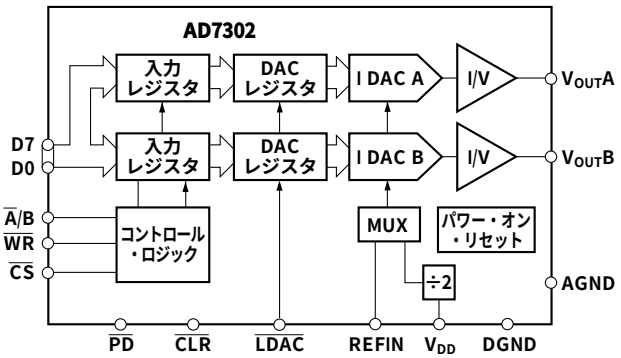
特長

2つの8ビットDACを1パッケージ化
20ピンDIP/SOIC/TSSOPパッケージ
＋2.7V～5.5Vで動作
内部および外部基準機能
DACパワー・ダウン機能
並列インターフェース
出力バッファ内蔵
　電源電圧範囲の動作
停電力オペレーション　3.3Vにおいて3mA以下
25℃において1μA以下までパワー・ダウン

アプリケーション

バッテリ駆動のポータブル装置
ディジタルによるゲイン調整、オフセット調整
プログラマブルな電圧源および電流源
プログラマブル・アッテネータ

機能ブロック図



概要

AD7302は、＋2.7V～5.5Vの単一電源で動作するデュアル電圧出力の8ビットDACです。この内蔵の高精度出力バッファにより、DACの電源電圧範囲での出力が可能になりました。AD7302は、並列マイクロプロセッサおよび、高速レジスタとダブル・バッファード・インターフェース・ロジックとのDSP互換インターフェースを備えています。データは、$\overline{CS}$もしくは$\overline{WR}$の立上りエッジでレジスタにロードされ、A/BピンはDAC AまたはDAC Bを選択します。

AD7302の基準は、V_{DD}から導かれた内部基準もしくはREFINピンに印加される外部基準とすることができます。非同期$\overline{LDAC}$入力を使用して両方のDACを同時に更新し、非同期$\overline{CLR}$入力を使用して同時にクリアすることができます。

この部品は、低電力消費であることから、バッテリ駆動のポータブル装置への適用に理想的です。電力消費は、3.3Vにおいて10mW未満、パワー・ダウン・モードにおいては3μWまで抑えられます。

AD7302には、20ピンのプラスチックDIP（デュアル・インライン・パッケージ）、20ピンのSOIC、および20ピンのTSSOPパッケージが用意されています。

製品の主な特長

1. 低電力、単一電源動作。この部品は、＋2.7V～5.5Vの単一電源で動作し、通常は5Vで15mW程度しか消費しないため、バッテリ駆動のポータブル装置への適用に理想的です。
2. オンチップ出力バッファ・アンプによって、通常、1.2μsの安定時間でDACの電源電圧範囲の出力が得られます。
3. 内部基準と外部基準が使用できます。
4. 高速パラレル・インターフェースを備えています。
5. パワー・ダウン機能。パワー・ダウン時のDACの消費電流は、25℃において1μA未満になります。
6. 20ピンのDIP、SOIC、およびTSSOPパッケージが用意されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸1-16-1　電話03(5402)8200　〒105
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原3-5-36　電話06(350)6868(代)〒532
新大阪第2森ビル

AD7302－仕様

（V_{DD}＝＋2.7V～5.5V、内部基準；V_{DD}とGNDに対しC_L＝100pF、R_L＝10kΩ；特に示さない限りT_{MAX}までの温度で規定）

パラメータ	Bバージョン[1]	単位	条件／コメント
静特性			
分解能	8	ビット	
相対精度	±1	LSB最大値	注[2]
微分非直線性	±1	LSB最大値	単調性保証
フルスケール誤差	－0.75	LSB代表値	
25℃のゼロ・コード誤差	3	LSB代表値	DACレジスタにオール・ゼロをロード
ゲイン誤差[3]	±1	%FSR代表値	
ゼロ・コード温度係数	100	μV/℃代表値	
DAC基準入力			
REFIN入力範囲	1.0～V_{DD}/2	最小V～最大V	
REFIN入力インピーダンス	10	MΩ代表値	
出力特性			
出力電圧範囲	0～V_{DD}	最小V～最大V	
出力電圧安定時間	2	μs最大値	通常1.2μs
スルー・レート	7.5	V/μs代表値	
ディジタル－アナログ・グリッチ・インパルス	1	nV-s代表値	最大遷移点での1LSBの変化
ディジタル・フィードスルー	0.2	nV-s代表値	
ディジタル・クロストーク	0.2	nV-s代表値	
アナログ・クロストーク	±0.2	LSB代表値	
直流出力インピーダンス	40	Ω代表値	
短絡電流	14	mA代表値	
電源電圧変動除去比[4]	0.0003	%/%最大値	ΔV_{DD}＝±10%
論理入力			
入力電流	±10	μA最大値	
V_{INL}、入力LOレベル電圧	0.8	V最大値	V_{DD}＝＋5V
V_{INL}、入力LOレベル電圧	0.6	V最大値	V_{DD}＝＋3V
V_{INH}、入力HIレベル電圧	2.4	V最小値	V_{DD}＝＋5V
V_{INH}、入力HIレベル電圧	2.1	V最小値	V_{DD}＝＋3V
ピン・キャパシタンス	7	pF最大値	
必要電源			
V_{DD}	2.7/5.5	V最小値／最大値	
I_{DD}			いずれのDACもアクティブ、負荷電流を除く
V_{DD}＝＋3.3V			V_{IH}＝V_{DD}、V_{IL}＝GND
@25℃	2.8	mA最大値	通常2.3mA
@T_{MIN}～T_{MAX}	3	mA最大値	図6および図7参照
V_{DD}＝＋5.5V			V_{IH}＝V_{DD}、V_{IL}＝GND
@25℃	4.5	mA最大値	通常2.8mA
@T_{MIN}～T_{MAX}	5	mA最大値	図6および図7参照
I_{DD}（完全パワー・ダウン）			
@25℃	1	μA最大値	V_{IH}＝V_{DD}、V_{IL}＝GND
T_{MIN}～T_{MAX}	2	μA最大値	図18参照

注意：

[1] 温度範囲は次のとおりです：Bバージョン：－40℃～＋105℃

[2] 相対精度は、15～245の縮小コード範囲を使用して算出されています。

[3] ゲイン誤差は、コード15とコード245の間で指定されています。コード15における実際の誤差は、通常3LSBです。

[4] テストした製品ではなくリリースする製品の特性によって保証されています。

仕様は予告なく変更されることがあります。

タイミング特性[1、2]（V_{DD}＝＋2.7V～5.5V；GND＝0V；基準＝V_{DD}/2の内部基準；特に示さない限りすべての仕様はT_{MIN}～T_{MAX}で規定）

パラメータ	T_{MIN}、T_{MAX}における限界（Bバージョン）	単位	条件／コメント
t_1	0	ns最小値	書込みセットアップ時間に対するアドレス
t_2	0	ns最小値	書込みホールド時間に対する有効アドレス
t_3	0	ns最小値	書込みセットアップ時間に対するチップ・セレクト
t_4	0	ns最小値	書込みホールド時間に対するチップ・セレクト
t_5	20	ns最小値	書込みパルス幅
t_6	15	ns最小値	データ・セットアップ時間
t_7	4.5	ns最小値	データ・ホールド時間
t_8	20	ns最小値	$\overline{LDAC}$セットアップ時間に対する書込み
t_9	20	ns最小値	$\overline{LDAC}$パルス幅
t_{10}	20	ns最小値	$\overline{CLR}$パルス幅

注意：

[1] サンプルは、コンプライアンスを確保するため＋25℃でテストしました。すべての入力信号は、tr＝tf＝5ns（V_{DD}の10%～90%）を指定し、（V_{IL}＋V_{IH}）/2の電圧レベルから時間計測しました。trとtfは、すべてのディジタル入力において1μsを超えないものとします。

[2] 図1を参照してください。

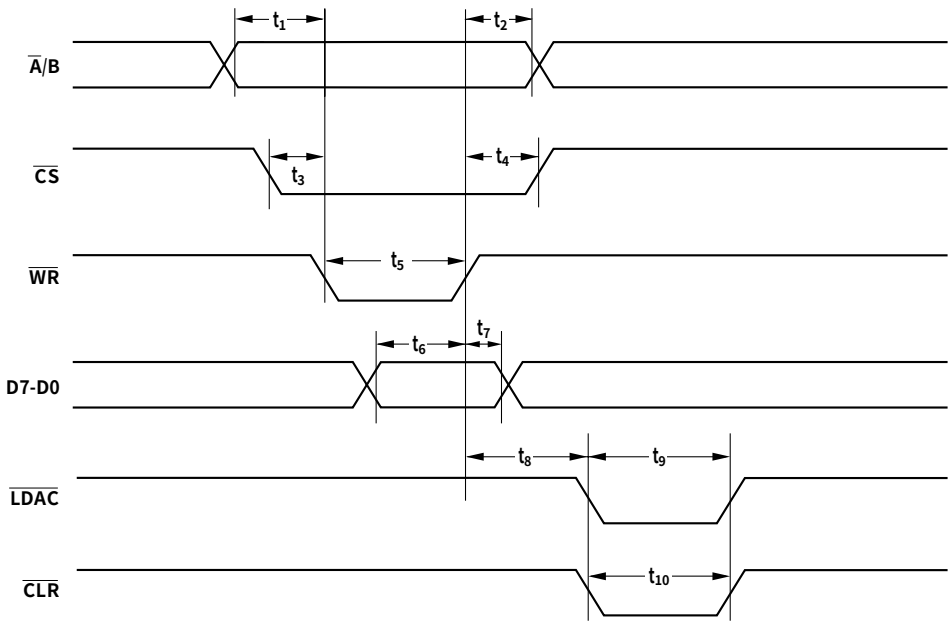


図1．パラレル・データ書込みのタイミング・チャート

絶対最大定格*
（特に示さない限りT_A＝＋25℃）
V_{DD}～GND……－0.3V～＋7V
基準入力電圧～AGND ……－0.3V～V_{DD}＋0.3V
ディジタル入力電圧～DGND ……－0.3V～V_{DD}＋0.3V
AGND～DGND ……－0.3V、0.3V
V_{OUT}A、V_{OUT}B～AGND……－0.3V、V_{DD}＋0.3V
動作温度範囲
　商用（Bバージョン）……－40℃～＋105℃
保管温度範囲 ……－65℃～＋150℃
接合温度 ……＋150℃
プラスチックDIPの電力損……900mW
　θ_{JA}温度インピーダンス ……102℃/W
　導線耐熱（ハンダ付け、10秒）……＋260℃
TSSOPパッケージの電力損 ……700mW
　θ_{JA}温度インピーダンス ……143℃/W
　導線耐熱、ハンダ付け
　　気相（60秒）……＋215℃
　　赤外線（15秒）……＋220℃
SOICパッケージの電力損 ……870mW
　θ_{JA}温度インピーダンス ……74℃/W
　導線耐熱、ハンダ付け
　　気相（60秒）……＋215℃
　　赤外線（15秒）……＋220℃

*上記リストを超えるストレスは、デバイスに恒久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件にさらすことにより、デバイスの信頼性が影響されることがあります。

注意：

このデバイスは、静電放電（ESD）に対して脆弱です。人体やテスト装置に4000Vにも及ぶ静電気が蓄積されることは珍しいことではなく、その放電に気づかないことさえあります。AD7302には独自のESD保護回路が備わっていますが、エネルギの高い静電放電によってデバイスに恒久的なダメージが及ぶ可能性は否定できません。したがって、適切な予防措置によりESD保護を行って、性能の劣化や機能の損傷を回避することを推奨します。

オーダー・ガイド

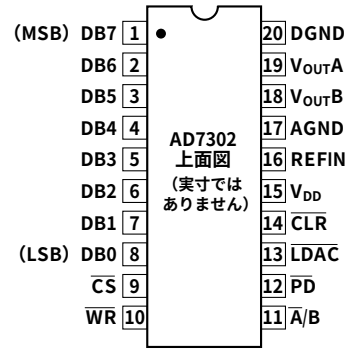
モデル	温度範囲	パッケージ・オプション*
AD7302BN	－40℃～＋105℃	N-20
AD7302BR	－40℃～＋105℃	R-20
AD7302BRU	－40℃～＋105℃	RU-20

*N＝プラスチックDIP；R＝SO；RU＝TSSOP

ピン機能の説明

ピン番号	名称	機能
1～8	D7～D0	パラレル・データ入力。$\overline{CS}$および$\overline{WR}$のコントロールの下に、8ビットのデータがAD7302の入力レジスタにロードされます。
9	$\overline{CS}$	チップ・セレクト。アクティブ・LOの論理入力です。
10	$\overline{WR}$	書込み入力。$\overline{WR}$は、選択したDACレジスタに対してデータを書込むために$\overline{CS}$および$\overline{A}$/Bと組合せて使用されるアクティブ・LOの論理入力です。
11	$\overline{A}$/B	DACセレクト。DAC AまたはDAC Bのいずれかへの書込みを選択するために使用されるアドレス・ピンです。
12	$\overline{PD}$	電流消費を1μAに抑える低電力モードを設定するために使用されるアクティブ・LOの入力です。
13	$\overline{LDAC}$	ロードDAC論理入力。この論理入力がLOレベルに引込まれると、両方のDACがそれぞれのDACレジスタの内容によって同時に更新されます。$\overline{LDAC}$がLOレベルに固定されているときは、$\overline{WR}$の立上りエッジでDACが更新されます。
14	$\overline{CLR}$	非同期のクリア入力（アクティブ・LO）。この入力がLOレベルに引込まれると、DACレジスタにオール・ゼロがロードされ、DAC出力が0ボルトにクリアされます。
15	V_{DD}	電源入力。この部品は2.7V～5.5Vで動作可能です。V_{DD}は、AGNDと切り離す必要があります。
16	REFIN	外部基準入力。両方のDAC用の基準として使用することができます。この基準入力の範囲は、1V～V_{DD}/2です。REFINをダイレクトにV_{DD}と接続すると、V_{DD}/2の内部基準が選択されます。
17	AGND	部品上の全アナログ電流用のアナログ・グラウンド基準ポイントおよびリターン・ポイントです。
18	V_{OUT}B	DAC Bからのアナログ出力電圧。出力アンプは、レールからレールへ出力をスイングすることができます。
19	V_{OUT}A	DAC Aからのアナログ出力電圧。出力アンプは、レールからレールへ出力をスイングすることができます。
20	DGND	部品上の全ディジタル電流用のディジタル・グラウンド基準ポイントおよびリターン・ポイントです。

ピン配置



用語

積分非直線性

DACの場合、LSBで表した相対精度すなわちエンドポイントの非直線性は、DACの伝達関数のエンドポイントを通る直線からの最大偏差の測定値です。伝達曲線のグラフを図4に示しました。

微分非直線性

微分非直線性は、任意の隣接する2つのコード間の1LSBの変化分の理論値と実測値の差です。所定の微分非直線性が±1LSBに収まるとき、単調性が保証されます。

ゼロ・コード誤差

ゼロ・コード誤差は、DACのラッチにゼロ・コード（オール・ゼロ）がロードされたときに、各DACのV_{OUT}に得られる出力電圧を測定します。これは、DACおよび出力アンプにおけるオフセット誤差の組合せに起因します。ゼロ・スケール誤差は、LSBを単位として表します。

ゲイン誤差

これは、DACのスパン誤差の測定値です。DACの伝達特性のスロープにおける理論値からの偏差で、フルスケール値のパーセントとして表されます。フルスケール誤差はこれに含まれますが、オフセット誤差は含まれません。

ディジタル－アナログ・グリッチ・インパルス

ディジタル－アナログ・グリッチ・インパルスは、選択したDACで、$\overline{LDAC}$を使用してそれを更新し、ディジタル入力の状態を変化したときに、アナログ出力に現れるインパルスです。通常、nV-sを単位としたグリッチの面積で示され、最大遷移点においてディジタル・コードを1LSB変化させることによって測定されます。

ディジタル・フィードスルー

ディジタル・フィードスルーは、DACのディジタル入力から同じDACのアナログ出力にもたらされるインパルスの測定値ですが、DACを更新せずに測定されます。nV-sを単位として表され、データ・バス上でフルスケール・コードの変化、すなわちオール・ゼロからオール1に、またその逆に変化させて測定します。

ディジタル・クロストーク

ディジタル・クロストークは、一方のDACに対するディジタル・コードの変化に起因して他方のコンバータ出力に現れるグリッチ・インパルスです。nV-sを単位として表します。

アナログ・クロストーク

アナログ・クロストークは、一方のDACの出力における変化に応答して他方のDACの出力に現れる変化です。LSBを単位として測定します。

電源電圧変動除去比（PSRR）

これは、電源電圧が変化するとDAC出力にどのような影響が及ぶかを示します。電源電圧変動除去比は、DACのフルスケール出力における、V_{DD}の1%の変化当たりの出力変化のパーセンテージです。V_{DD}は±10%の範囲で変化させます。

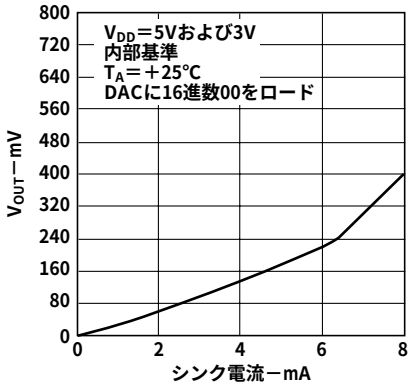


図2．V_{DD}＝3V、V_{DD}＝5Vとするときの出力シンク電流の供給能力

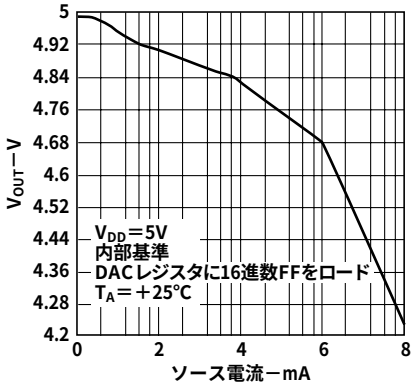


図3．V_{DD}＝5Vとするときの出力ソース電流の供給能力

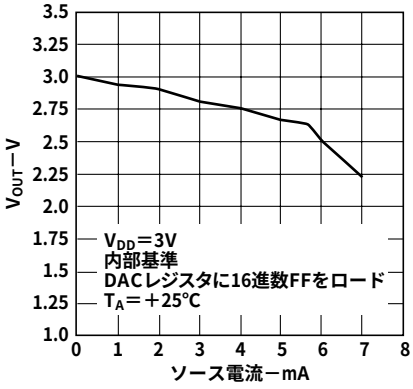


図4．V_{DD}＝3Vとするときの出力ソース電流の供給能力

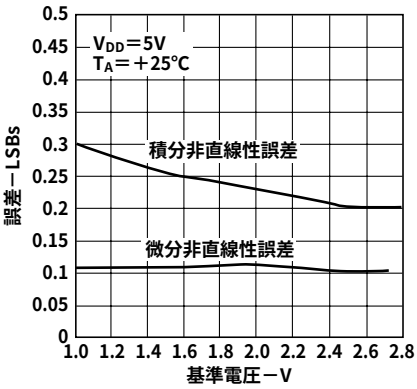


図5．相対精度と外部基準の関係

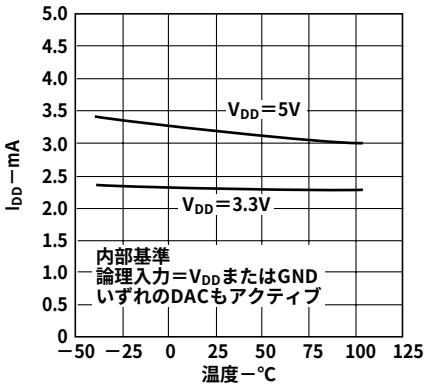


図6．代表的な供給電流と温度の関係

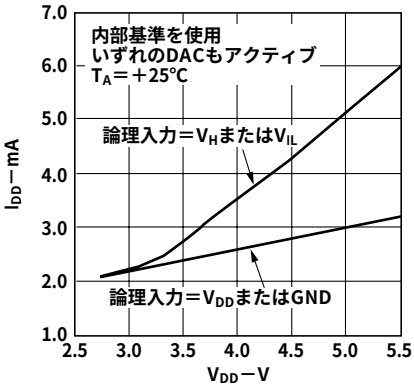


図7．代表的な供給電流と供給電圧の関係

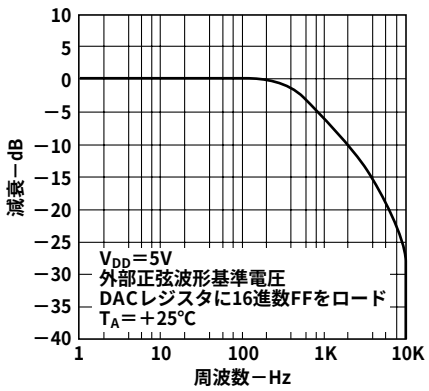


図8．ラージ・スケール信号周波数応答

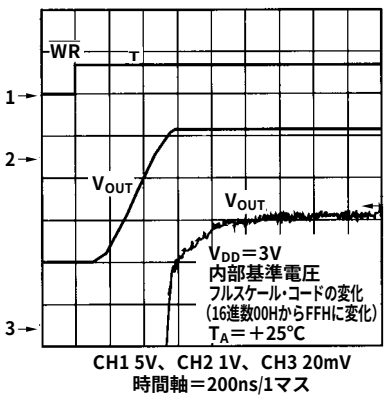


図9．フルスケール安定時間

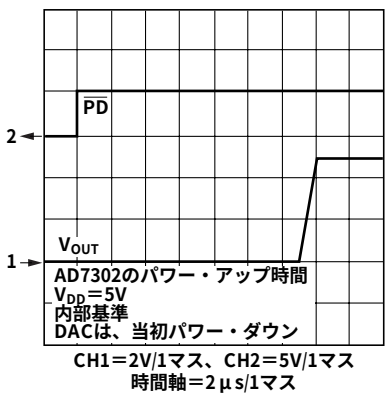


図10．パワー・ダウンからの復帰（フル・パワー・ダウン）

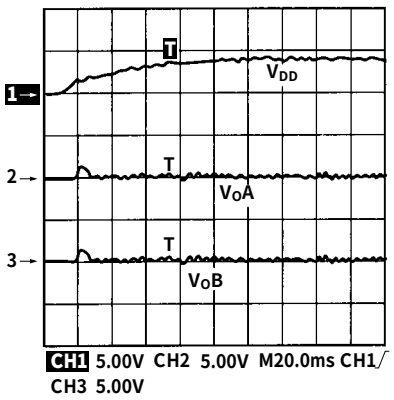


図11．パワー・オン－リセット

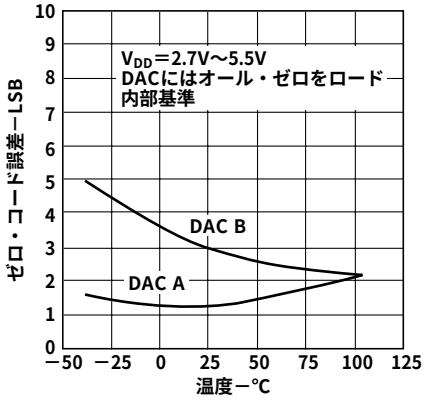


図12．ゼロ・コード誤差と温度の関係

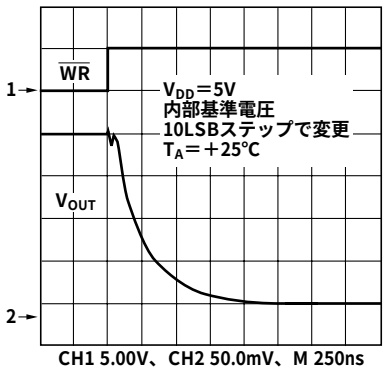


図13．スモール・スケール安定時間

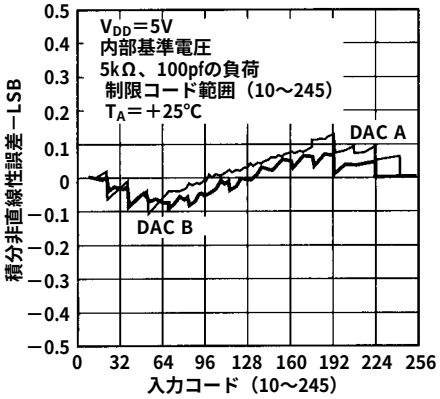


図14．積分直線性

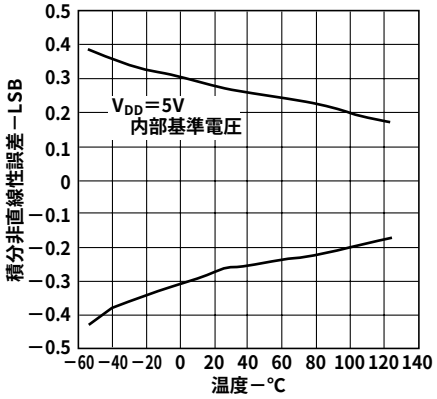


図15．代表的な積分非直線性誤差と温度の関係

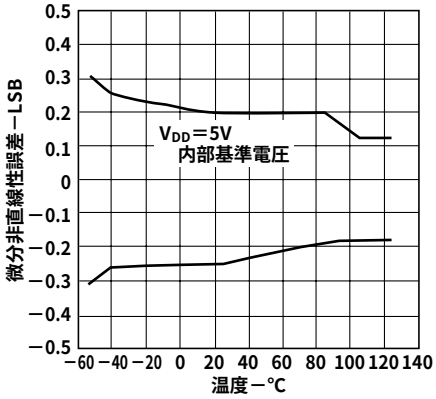


図16．代表的な微分非直線性と温度の関係

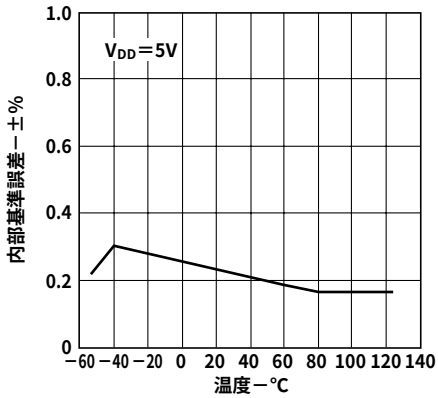


図17．代表的な内部基準誤差と温度の関係

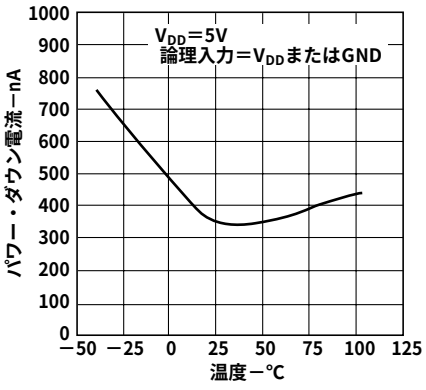


図18．パワー・ダウン電流と温度の関係

概要

D/Aセクション

AD7302は、デュアル電圧出力の8ビット・ディジタル - アナログ・コンバータです。アーキテクチャは、基準アンプ、電流源DACおよびそれに続く、DAC出力に関してレール - レール電圧を生成する電流 - 電圧コンバータから構成されています。図19に、基本的なDACの構成のブロック図を示します。

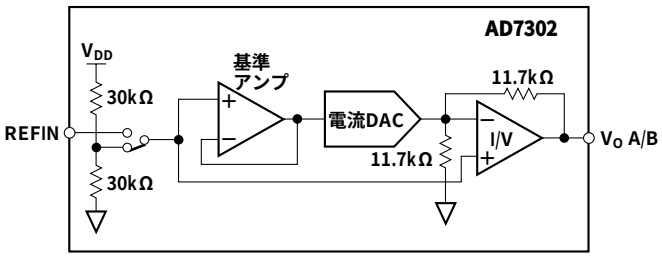


図19．DACの構成

DAC AおよびDAC Bのいずれの出力も内部的にバッファされ、それぞれの出力バッファ・アンプは、レール - レール出力特性を備えています。出力アンプは、グラウンドに対して100pFの容量を伴う、V_{DD}ならびにグラウンドのそれぞれに対する10kΩの負荷を並列に駆動することができます。DAC用の基準としては、V_{DD}から内部的に生成される基準またはREFINピン経由で印加される外部基準の選択が可能です。選択された基準電圧が内部生成の基準であるか、REFINピンに印加された電圧であるかは、REFINピン上にあるコンパレータが判断します。REFINにV_{DD}を接続すると、選択電圧が内部で生成される$V_{DD}/2$の基準電圧になります。外部からREFINに印加する電圧がV_{DD}より低く、その差が1Vを超えているときは、コンパレータがREFINピンに外部から印加された電圧に選択を切換えます。外部基準電圧の範囲は、1.0V～$V_{DD}/2$となっています。出力電圧は、いずれのDACにおいても次式で与えられます。

$$VoA/B = 2 \times V_{REF} \times (N/256)$$

但し：

V_{REF} は、REFINに外部から印加された電圧または$V_{DD}/2$（内部基準選択時）です。

N は、DACレジスタにロードされたコードの10進数表現で、0～255の値になります。

基準

AD7302には、REFINピン経由で印加される外部基準と、V_{DD}から内部的に生成する基準の使用を可能にする機能が備わっています。図20に、内部生成の$V_{DD}/2$基準と外部印加基準を選択する基準入力の構成を示します。

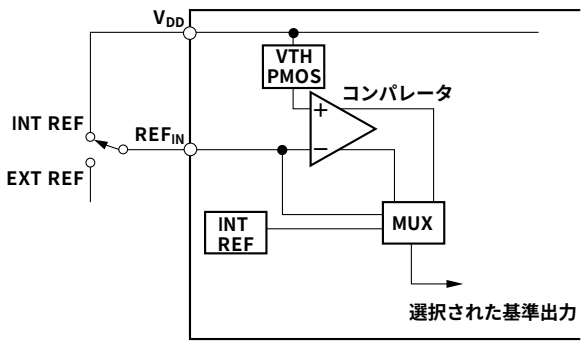


図20．基準選択回路

内部基準は、REFINピンにV_{DD}を接続すると選択されます。外部基準を使用する場合は、基準電圧を直接REFINピンに印加します。このとき印加した電圧が1Vを超えてV_{DD}より低ければ、内部回路がDAC用の基準ソースとしてこの外部印加基準を選択します。

ディジタル・インターフェース

AD7302にはパラレル・インターフェースが備わり、このデュアルDACと、業界標準のマイクロプロセッサ、マイクロコントローラ、およびDSPとのインターフェースを可能にしています。このパラレル・インターフェースでは、2つのモードでDAC出力を更新するための構成が得られます。同時更新モードでは、両方のDAC出力を同時に更新することができます。自動更新モードでは、各DACが書込みサイクルに続いて個別に更新されます。このディジタル・インターフェースに関連する内部ロジックを図21に示しました。PON STRB信号は、パワー・オン・リセット回路で内部生成される、パワー・アップ・プロシージャのパワー・オン・リセット段階の間LOレベルに維持される信号です。

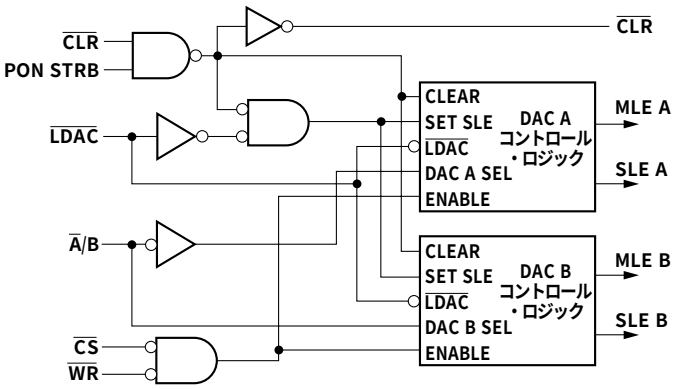


図21．ロジック・インターフェース

AD7302は、DAC出力の同時更新を可能にするため、ダブル・バッファード・インターフェースを備えています。図22は、AD7302内のレジスタ配列を示すブロック図です。

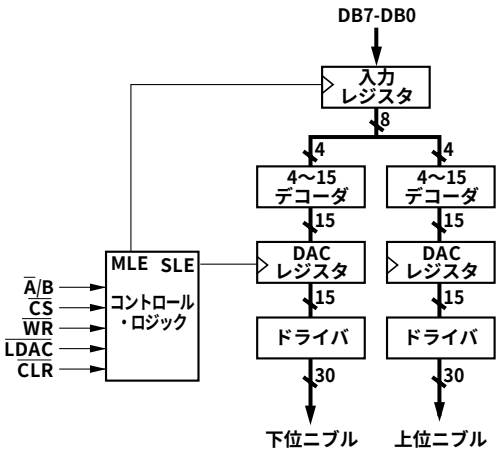


図22．レジスタ配列

自動更新モード

このモードのオペレーションでは、$\overline{LDAC}$信号をLOレベルに固定します。$\overline{LDAC}$の状態は、$\overline{WR}$の立上りエッジでサンプリングされます。$\overline{LDAC}$がLOレベルに固定されていると、$\overline{WR}$の立上りエッジで選択DACレジスタの自動更新が可能になります。出力の更新は、$\overline{WR}$の立上りエッジで行われます。図23は、自動更新モードのオペレーションに関連するタイミング、およびこのフレームの間の各種レジスタの状態を示しています。

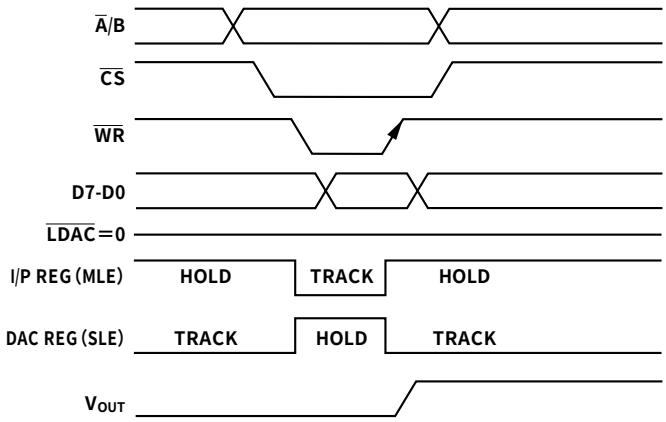


図23．自動更新モードのタイミングとレジスタの状態

同時更新モード

このモードのオペレーションでは、$\overline{LDAC}$信号が両方のDAC出力の更新に使用されます。$\overline{LDAC}$の状態は、$\overline{WR}$の立上りエッジでサンプリングされます。$\overline{LDAC}$がHIレベルであれば自動更新モードがディスエーブルされ、書込み後、随時$\overline{LDAC}$をLOレベルに転じることによって、両方のDACラッチを更新することができます。この出力の更新は、$\overline{LDAC}$の立下がりエッジで行われます。$\overline{LDAC}$をLOレベルに転じた後は、次のデータ伝送が開始される前にHIレベルに戻さなければなりません。図24は、同時更新モードのオペレーションに関連するタイミング、およびこのフレームの間の各種レジスタの状態を示しています。

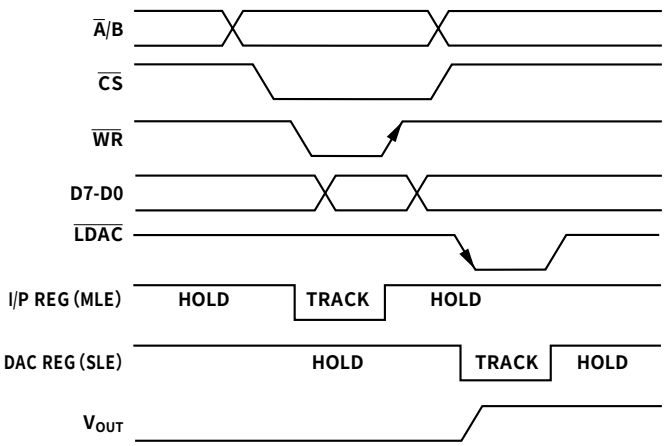


図24．同時更新モードのタイミングとレジスタの状態

パワー・オン・リセット

AD7302には、パワー・アップ時の出力の安定性を確保するためのパワー・オン・リセット回路が備わっています。この回路は、DACに対する書込みが開始されるまで、DACをリセット状態に保ちます。リセット状態では、各DACのレジスタにオール・ゼロがラッチされ、DACレジスタがトランスペアレント・モードになるため、DACは、書込みが開始されるまでいずれもグラウンド電位を維持します。パワー・オン・リセット回路は、ロジック内でパワー・オン状態の識別に使用されるPON STRB信号を生成します。

パワー・ダウン機能

AD7302は、パワー・ダウン機能を備えています。この機能は、外部$\overline{PD}$ピンを使用して具体化され、アクティブ・LO信号によってDAC全体がパワー・ダウン・モードに入ります。パワー・ダウン・モードでは、25℃におけるデバイスの消費電流が1μA以下に抑えられ、それを超える温度においても2μA以下に抑えられるので、バッテリ駆動のポータブル装置での使用に非常に適したデバイスとなっています。パワー・ダウンがアクティブになると、基準バイアス・サーボ・ループおよび出力アンプが、関連する線形回路とともにパワー・ダウンされるだけでなく、リファレンス・レジスタが開放されてさらに消費電力が抑制されます。パワー・ダウン・モードにおいては、図25からわかるように、出力の負荷がGNDに対して約23kΩになります。データ・レジスタの内容は、パワー・ダウン・モードによる影響を受けません。なお、パワー・ダウン・モードからの復帰は、通常約13μsです（図10参照）。

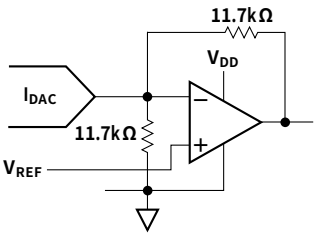


図25．パワー・ダウン中の出力段

アナログ出力

AD7302には、分解能8ビット、レール - レール・オペレーションを備える独立した電圧出力DACが2つ含まれています。出力バッファがもたらす出力のゲインは2です。出力アンプのソースとシンクの供給能力を図2～図4に示しました。出力アンプのスルー・レートは通常7.5V/μsで、また100pFの容量性負荷を伴う場合は、通常は1.2μs以内に8ビットのフルスケールの安定が得られます。

DACに対する入力コードはストレート・バイナリです。AD7302のバイナリ伝達関数について表Iにまとめました。また図26は、バイナリ・コードに関するDACの伝達関数を示しています。伝達関数は、いずれのDACの出力電圧も次式で表すことができます。

$$V_{OUT}=2\times V_{REF}\ (N/256)$$

ここで、

N　は、DACレジスタにロードされたバイナリ・コードの10進数表現で、0～255の値になります。

V_{REF}は、REFINに外部から印加された電圧（外部基準選択時）またはVDD/2（内部基準選択時）です。

表I．選択入力コードに対応する出力電圧

ディジタル入力　MSB...LSB	アナログ出力
1111 1111	$2\times255/256\times V_{REF}$ V
1111 1110	$2\times254/256\times V_{REF}$ V
1000 0001	$2\times129/256\times V_{REF}$ V
1000 0000	V_{REF} V
0111 1111	$2\times127/256\times V_{REF}$ V
0000 0001	$2\times V_{REF}/256$V
0000 0000	0V

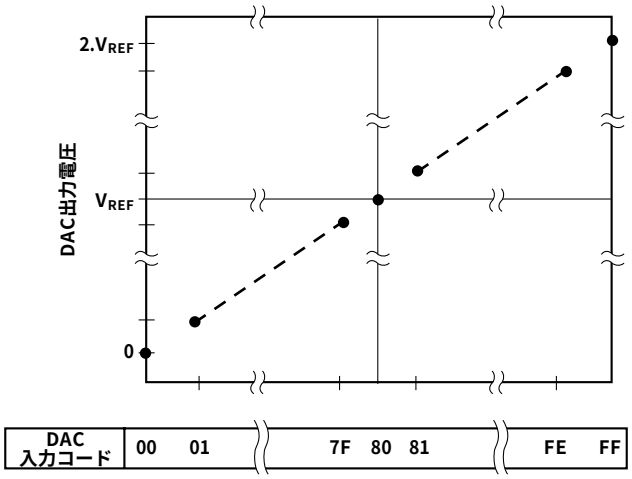


図26．DACの伝達関数

図27は、内部基準を使用するときの典型的なAD7302のセットアップを示しています。内部基準は、REFINピンとV_{DD}を接続することによって選択します。基準セクション内部には、REFINピンに接続された電圧に基づく内部V_{DD}/2を選択する基準検出回路が備わっています。この回路は、REFINがV_{DD}からPMOSデバイスのスレッショルド電圧（約1V）以内にあれば、内部基準を選択します。REFINがV_{DD}より低く、その差が1Vを超えるときは、このピンに印加された電圧がDAC用の基準として用いられます。AD7302の内部基準はV_{DD}/2で、AD7302内にある電流 - 電圧コンバータが出力を2倍にします。したがって表Iに基づき、DACの出力電圧範囲は、0V～V_{DD} Vとなります。

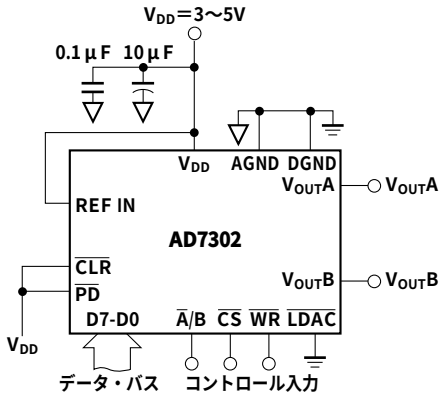


図27．内部基準選択時の典型的な構成

図28に、外部基準を使用するときの典型的なAD7302のセットアップを示します。AD7302の基準電圧範囲は1V～V_{DD}/2Vです。これより高い基準電圧を組込むことも可能ですが、伝達関数の上端と下端が飽和してしまいます。AD7302には入出力間に2倍のゲインがあります。5Vオペレーション用の外部基準としては、AD780とREF192が適しています。また、3Vオペレーション用の外部基準としては、AD589の1.23Vのバンドギャップ基準が適しているでしょう。

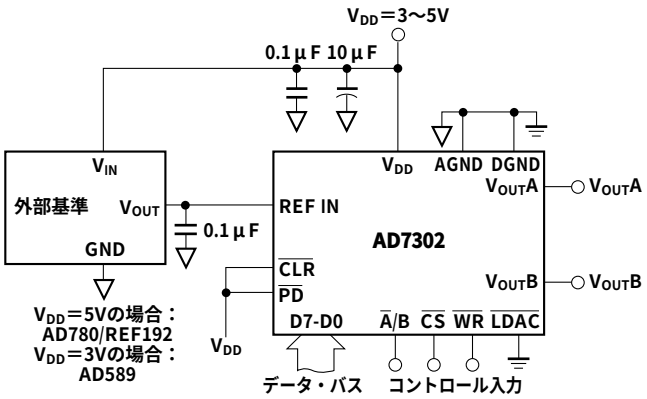


図28．外部基準使用時の典型的な構成

マイクロプロセッサ・インターフェース

AD7302－ADSP-2101/ADSP-2103インターフェース

図29は、AD7302とADSP-2101/ADSP-2103のインターフェースを示しています。ADSP-2101/ADSP-2103とのインターフェースは、AD7302の高速インターフェース・タイミングによって容易に得られます。

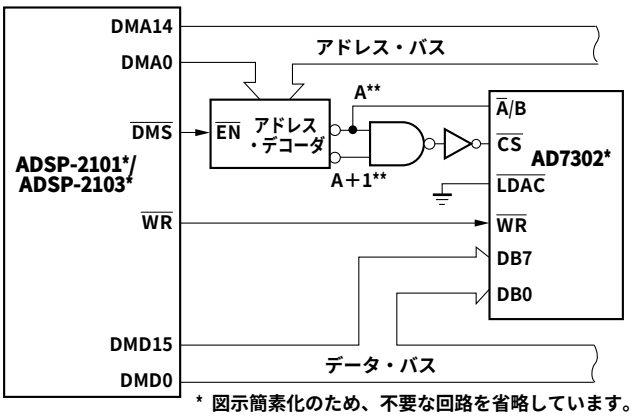


図29．AD7302－ADSP-2101/ADSP-2103インターフェース

DAC AまたはDAC Bを選択するために、デコーダによって2つのアドレスがデコードされます。この回路では、LDACがLOレベルに固定されているので、選択されたDACの出力がWR信号の立上りエッジで更新されます。

AD7302の入力レジスタに対するデータのロードは、次に示すADSP-21xx命令を使用して行います。

DM（DAC）＝MR0

MR0＝ADSP-21xxのMR0レジスタ
DAC＝復号DACアドレス

AD7302－TMS32020インターフェース

図30は、AD7302とTMS32020のインターフェースを示しています。アドレス・デコーダは、DAC A用のアドレスとDAC B用のアドレスのデコードに使用されます。データのロードには、次に示す命令を使用します。

OUT DAC,D

DAC＝復号DACアドレス
D＝データ・メモリのアドレス

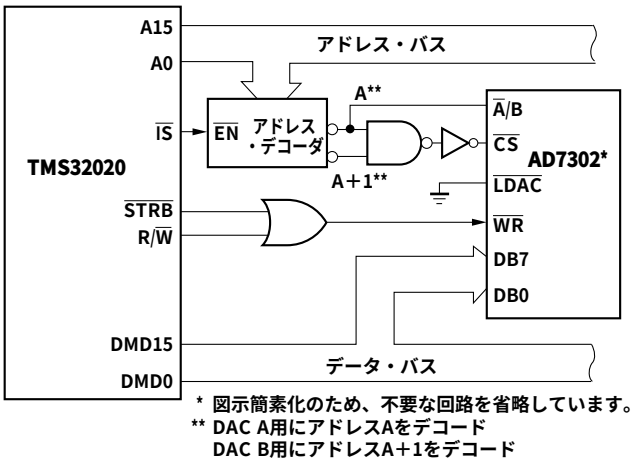


図30．AD7302－TMS32020インターフェース

図示の回路では、LDACがハード的にLOレベルに固定されているので、選択されたDACの出力がWR信号の立上りエッジで更新されます。アプリケーションによってはAD7302に備わる2つのDACを同時に更新する必要が生じることがあります。その場合は、LDACを外部タイマにより、あるいはマイクロプロセッサによりコントロールします。同時更新のオプションの1つに、アドレス・バスからLDACをデコードし、このアドレスの書込みオペレーションで両方のDACの出力を更新する方法もあります。これを具体化するときは、簡単なORゲートを備えて、一方の入力をデコードされたアドレスから駆動し、他方の入力をWR信号から駆動します。

AD7302－8051/8088インターフェース

図31に、AD7302と8051/8088のシリアル・インターフェースを示します。アドレス・デコーダは、DAC A用のアドレスとDAC B用のアドレスのデコードに使用されます。

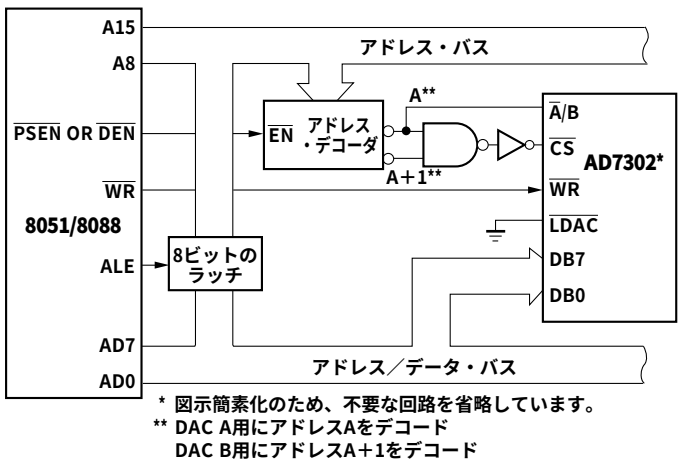


図31．AD7302－8051/8088インターフェース

アプリケーション

AD7302を使用したバイポーラ・オペレーション

AD7302は、単一供給オペレーション用に設計されていますが、図32に示す回路を用いればバイポーラ・オペレーションも可能です。ここに示した回路により、−5V＜Vo＜＋5Vの出力範囲が得られます。アンプ出力におけるレール - レール・オペレーションは、AD820またはOP295を出力アンプとして使用することにより達成することができます。

任意の入力コードに対する出力電圧は、次のようにして算出されます。

$$V_O=[(1+R4/R3)\times(R2/(R1+R2)\times(2\times V_{REF}\times D/256)]-R4\times V_{REF}/R3$$

ここで、

Dは、DACレジスタにロードされたコードの10進数表現、

V_{REF}は、基準電圧入力です。

V_{REF}＝2.5V、R1＝R3＝10kΩ、R2＝R4＝20kΩ、V_{DD}＝5V

の場合は、

$$V_{OUT}=(10\times D/256)-5V$$

となります。

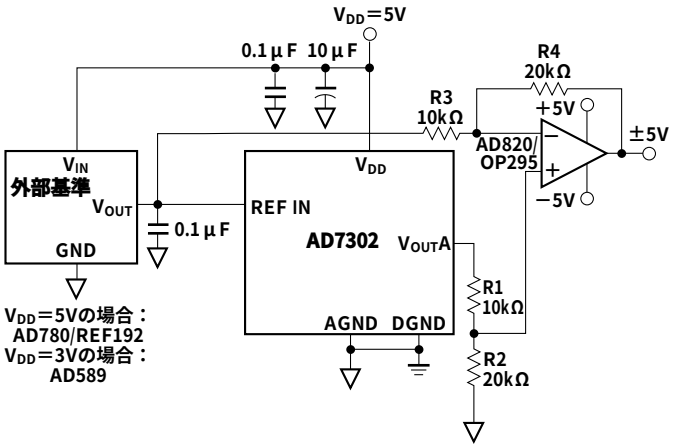


図32．AD7302を使用したバイポーラ・オペレーション

システム内の複数のAD7302のデコード

AD7302のCSピンは、複数のDACをデコードするときに使用することができます。このときは、システム内のすべてのDACが同じ入力データを受け取りますが、一度にアクティブになるCSが1つのDACに対するものだけであるため、システム内の2つのチャネルへのアクセスが可能になります。ここでは、システム内の任意のDACにアドレスする2 - 4ライン・デコーダとして、74HC139を使用します。タイミング誤差の発生を回避するため、コード化されたアドレスの状態が変化する間、イネーブル入力を非アクティブ状態とします。システム内の複数のAD7302をデコードするための典型的なセットアップを図33に示しました。システムのパワー・アップ中は、AD7302の組込みパワー・オン・リセット回路によって、すべてのDACの出力は0ボルトとなります。

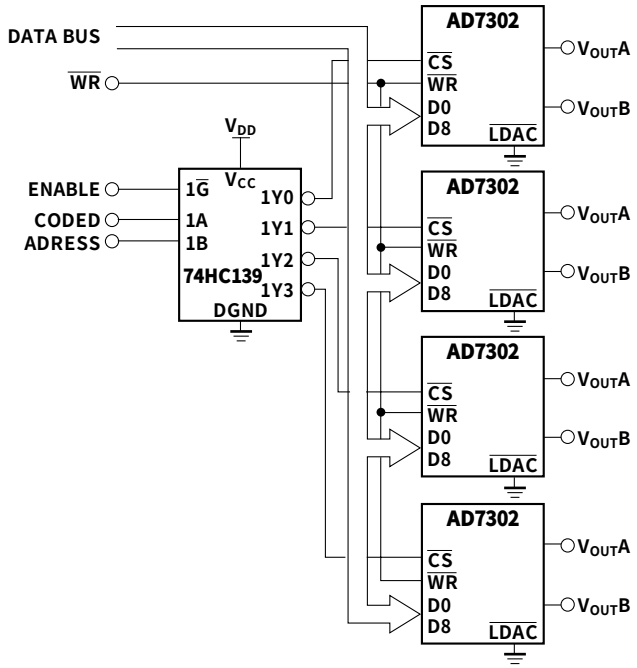


図33．システム内の複数のAD7302のデコード

ディジタル・プログラマブル・ウィンドウ検知器としてのAD7302

AD7302の2つのDACを使用した、ディジタル的にプログラム可能な上下限検知器を図34に示します。テストに使用する上限と下限をDAC AとDAC Bにロードすると、CMP04のリミットがセットされます。V_{IN}入力の信号がプログラムしたウィンドウから外れるとLEDが点灯して異常が知らされます。

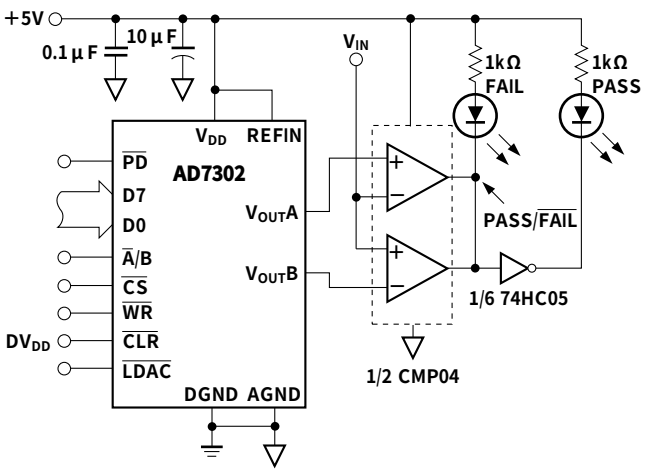


図34．プログラマブル・ウィンドウ検知器

プログラマブル電流源

図35に、プログラマブル電流源としてAD7302を使用する応用例を示します。この回路では、フルスケールの電流が1mAにセットされています。DACからの出力電圧は、470Ωのフルスケール・セッティング抵抗と直列に接続された4.7kΩの電流セッティング抵抗に印加されます。アンプのフィードバック・ループ内に挿入するトランジスタとしては、BC107または2N3904が適切で、これにより最小で6VのV_{SOURCE}を用いてこの電流源を動作させることが可能になります。動作範囲は、トランジスタの動作特性によって決定されます。アンプにはAD820やOP295が好ましく、いずれも出力のレール - レール・オペレーションを備えています。任意のディジタル入力コードに対する電流は、次式を用いて算出することができます。

$$I=2\times V_{REF}\times D/(5E+3\times 256)\ mA$$

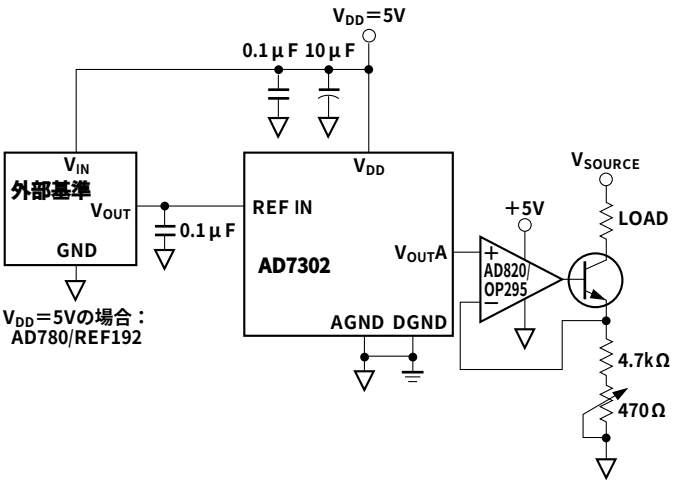


図35．プログラマブル電流源

AD7302を使用した粗調整と微調整

図36に示すようにAD7302に備わるDACをペアとして使用し、粗調整と微調整の機能を得ることができます。この回路においては、DAC Aを粗調整に、DAC Bを微調整に使用しています。R1とR2の比を変化させれば、回路内の粗調整と微調整の相対的な効果が変化します。図示の抵抗値の場合、V_{DD}が5V、基準電圧が2.5Vのとき、DAC Bの分解能は148μVとなり、これは、約2LSBの微調整レンジに相当します。図示のアンプは、出力電圧のレール - レール・オペレーションの達成を可能にします。このような回路の代表的な応用例としては、セットポイント・コントローラがあります。

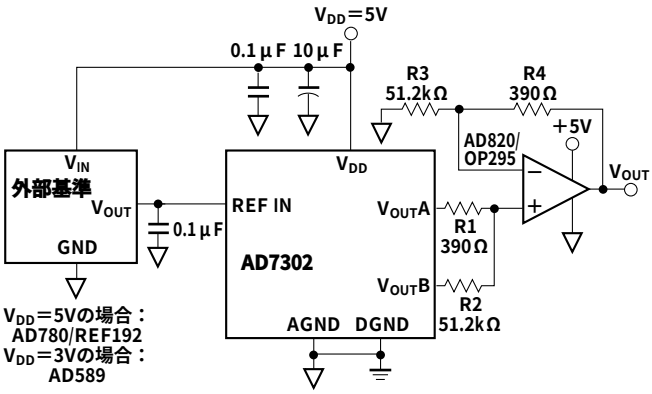


図36．粗／微調整回路

電源のバイパスと接地

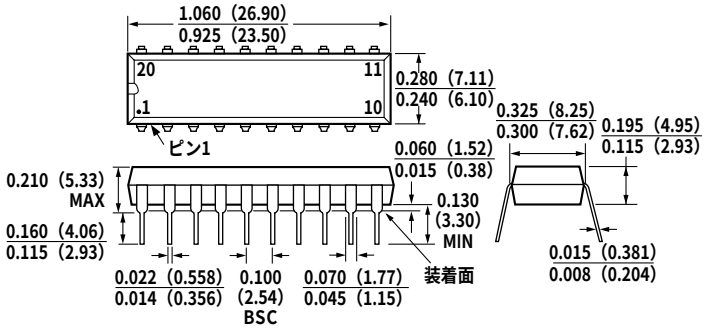
精度が重要になる回路においては、電源とグラウンド・リターンを慎重にレイアウトすることによって所定の性能を確保することができます。AD7302がマウントされるプリント基板は、アナログ・セクションとディジタル・セクションを分離して基板の特定エリアに構成するような設計とします。複数のデバイスがAGNDからDGNDへの接続を必要とするシステム内でAD7302を使用する場合は、AD7302にできる限り接近した1点でスター接続を行います。AD7302には、電源ライン上のできる限りパッケージに近い位置、理想的にはデバイスの直上に、0.1μFと並列させて10μFの充分な大きさの電源バイパスを備えます。この10μFのキャパシタは、タンタル・ビード・タイプとします。0.1μFのキャパシタには、有効直列抵抗（ESR）と有効直列インダクタンス（ESI）が低い、一般的なセラミック・タイプ等のキャパシタを使用します。これにより高い周波数に対してグラウンドとの間に低いインピーダンス・パスを作り、内部ロジックのスイッチングに起因する過渡電流を処理することができます。

AD7302の電源ラインには、可能な限り大きなトレースを使用し、低いインピーダンス・パスを実現するとともに電源ライン上のグリッチの影響を抑えます。クロック等の高速スイッチング信号は、ディジタル・グラウンドによってシールドし、基板上の他の部品へのノイズの輻射を回避します。また、このような信号は、基準入力の近くを避けなければなりません。さらにディジタル信号とアナログ信号の交差を回避します。基板の両側のトレースは、互いに直交させます。これによって基板を経由するフィードスルーの影響を抑えることができます。現在のところマイクロストリップ技術が最良ですが、両面基板で常に使用できるわけではありません。この技術では、基板のコンポーネント側がグラウンド面に割当てられ、信号トレースがハンダ面に配置されます。

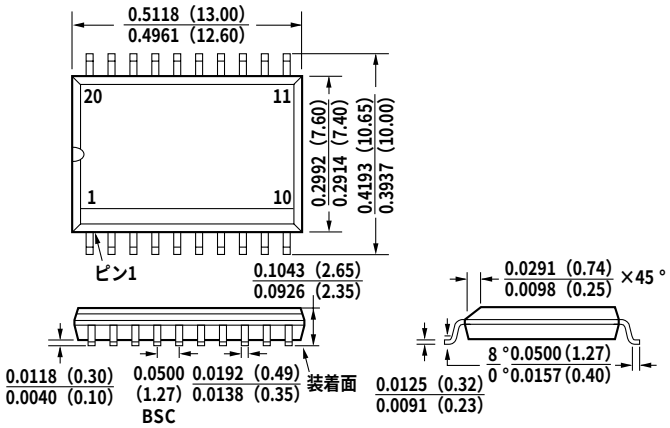
外形寸法

寸法はインチと（mm）で示します。

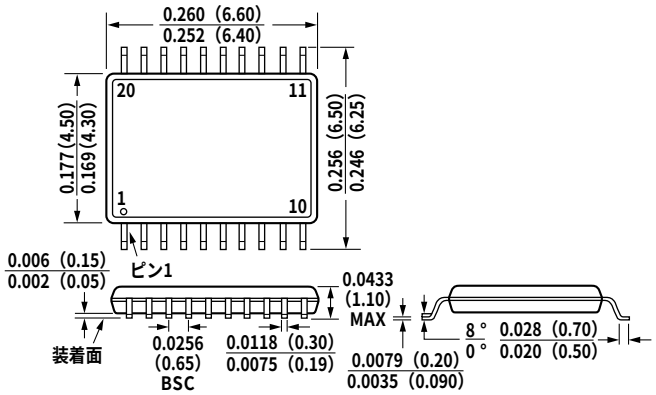
20ピン・プラスチックDIP
（N-20）



20ピンSO
（R-20）



20ピンTSSOP
（RU-20）



D146-2.7-1/98,1A

この取扱説明書はエコマーク認定の再生紙を使用しています。